

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-196940
 (43) Date of publication of application : 19.07.2001

(51) Int.CI. H03M 13/27
 H04J 13/00
 H04L 1/00

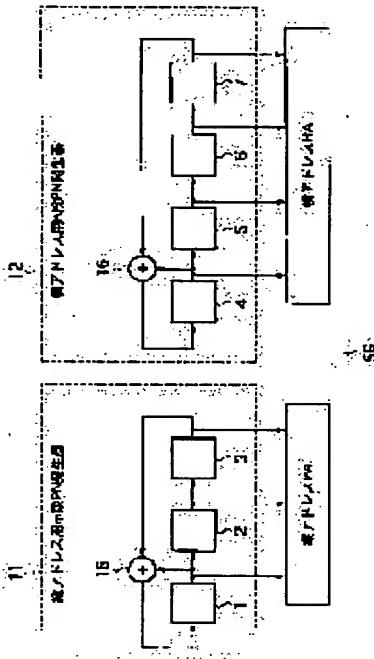
(21) Application number : 2000-002468 (71) Applicant : OKI ELECTRIC IND CO LTD
 (22) Date of filing : 11.01.2000 (72) Inventor : SATO KENICHI

(54) DATA SEQUENCE REVISION SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To conduct interleaver processing excellent in elimination of a burst nature of errors in spite of a small scale configuration.

SOLUTION: The data sequence revision system that is provided with a temporary storage means temporarily storing an information sequence and controls a write sequence or a read sequence of information to /from the temporary storage means depending on a sequence revision matrix to conduct data sequence revision processing, is provided with a 1st code generating means that generates a 1st pseudo noise code to designate a longitudinal component of the sequence revision matrix and with a 2nd code generating means that generates a 2nd pseudo noise code to designate a lateral component of the sequent of the sequence revision matrix.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-196940
(P2001-196940A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.⁷
H 03 M 13/27
H 04 J 13/00
H 04 L 1/00

識別記号

F I
H 03 M 13/27
H 04 L 1/00
H 04 J 13/00

テ-マコト[®] (参考)
5 J 0 6 5
F 5 K 0 1 4
A 5 K 0 2 2

審査請求 未請求 請求項の数 3 O.L (全 15 頁)

(21)出願番号 特願2000-2468(P2000-2468)

(22)出願日 平成12年1月11日 (2000.1.11)

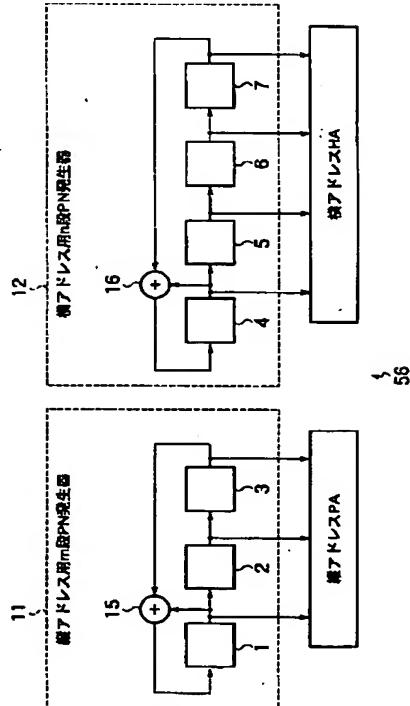
(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72)発明者 佐藤 健一
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(74)代理人 100090620
弁理士 工藤 宣幸
F ターム(参考) 5J065 AA03 AB01 AC02 AD10 AE06
AF03 AG06 AH06
5K014 BA10 FA16
5K022 EE02 EE22 EE32

(54)【発明の名称】 データ順序変更装置

(57)【要約】

【課題】 小規模な構成で、誤りのバースト性の除去に優れたインターバル処理を行う。

【解決手段】 情報系列を一時的に記憶する一時記憶手段を備え、順番変更用マトリクスに応じて当該一時記憶手段に対する情報の書き込み順序又は読み出し順序を制御することで、データ順序変更処理を行うデータ順序変更装置において、前記順番変更用マトリクスの縦方向成分を指定する第1の擬似雑音符号を発生する第1の符号発生手段と、前記順番変更用マトリクスの横方向成分を指定する第2の擬似雑音符号を発生する第2の符号発生手段とを備える。



【特許請求の範囲】

【請求項1】 情報系列を一時的に記憶する一時記憶手段を備え、順番変更用マトリクスに応じて当該一時記憶手段に対する情報の書き込み順序又は読み出し順序を制御することで、データ順序変更処理を行うデータ順序変更装置において、

前記順番変更用マトリクスの縦方向成分を指定する第1の擬似雑音符号を発生する第1の符号発生手段と、前記順番変更用マトリクスの横方向成分を指定する第2の擬似雑音符号を発生する第2の符号発生手段とを備えることを特徴とするデータ順序変更装置。

【請求項2】 請求項1のデータ順序変更装置において、

前記第1の擬似雑音符号が順番変更用マトリクスの縦方向成分の最大値を超えた場合には、前記第1の符号発生手段の内部状態を更新して当該最大値以下の第1の擬似雑音符号を発生させる第1の符号発生制御手段と、前記第2の擬似雑音符号が順番変更用マトリクスの横方向成分の最大値を超えた場合には、前記第2の符号発生手段の内部状態を更新して当該最大値以下の第2の擬似雑音符号を発生させる第2の符号発生制御手段とを備えることを特徴とするデータ順序変更装置。

【請求項3】 請求項1又は2のデータ順序変更装置において、

発生された第1の擬似雑音符号と第2の擬似雑音符号の組み合わせによって構成される組み合わせ符号が、前記順番変更用マトリクスの縦方向成分と横方向成分の全ての組み合わせを包含しない内に周期を形成しようとする場合には、前記第1の符号発生手段及び／又は第2の符号発生手段の内部状態を更新して、当該組み合わせ符号の周期を伸長する周期伸長手段を備えたことを特徴とするデータ順序変更装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はデータ順序変更装置に関し、例えば、CDMA（符号分割多元接続）方式などのディジタル通信方式において、符号化や復号化処理の過程でブロックインタリーブなどを行う場合に適用し得るものである。

【0002】

【従来の技術】 従来のブロックインタリーブ方式としては、次の参考文献1、参考文献2に示されるようなものがある。

【0003】 参考文献1：ANSI/TIA/EIA-95-B, page 7-3

参考文献2：ANSI/TIA/EIA-95-B, page 7-12

参考文献1は、図3に示すように、符号化の処理手順を示している。

【0004】 図3において、ブロックインタリーブ（Bl

ock Interleaver）23, 27, 36は、疊込み符号化（Convolutional Encoder）21, 25, 34が行われ、さらにシンボルリピテイション（Symbol Repetition）22, 26, 35が行われた後に実行される。

【0005】 したがってこれに対応して受信側で行われる復号化の過程においては、これら3者のうちでは、まず最初に、インタリーバ処理23, 27, 28の結果を各インタリーバ処理前の状態に戻すデインタリーバ処理が行われ、次に、リピテイション処理22, 26, 35の結果を各リピテイション処理前の状態に戻すデリピテイション処理が行われ、最後に、疊込み符号化21, 25, 34の結果を各疊込み符号化処理前の状態に戻すために、例えればビタビ復号処理が行われる。

【0006】 一方、前記参考文献2はブロックインタリーブの処理手順を示している。

【0007】 参考文献2には、図2（A）および（B）に示すように、横方向に16個、縦方向に24個の成分を持つマトリクスから構成された2つのテーブル1T、2Tが記載されている。

【0008】 このうちテーブル1Tの方は、インタリーバ処理の入力、すなわちバッファメモリへの書き込み操作を記述したもので、384シンボルの入力データ系列は、1シンボルずつ順番に、1行1列（アドレス番号1）、2行1列（アドレス番号2）、3行1列（アドレス番号3）、…24行1列（アドレス番号24）、1行2列（アドレス番号25）、2行2列（アドレス番号26）、…、24行16列（アドレス番号384）に書き込まれる。

【0009】 したがってこのテーブル1Tはそのまま、当該バッファメモリを示しているととらえることができる。そしてテーブル1Tの各アドレスのアドレス番号は、384シンボルの入力データ系列の本来の順番をも示している。

【0010】 すなわち、アドレス番号1に書き込まれたデータは、384シンボルのデータ系列中で順番が1番目のデータであり、アドレス番号2に書き込まれたデータは、当該384シンボル中の順番が2番目のデータであり、…、アドレス番号384に書き込まれたデータは、当該384シンボル中で順番が384番目のデータである。

【0011】 このとき当該バッファメモリ（すなわちテーブル1T）のアドレス番号1（1行1列）に書き込まれたデータをx(1)とし、アドレス番号2に書き込まれたデータをx(2)とし、アドレス番号3に書き込まれたデータをx(3)とし、…、アドレス番号384に書き込まれたデータをx(384)とする。

【0012】 一方、テーブル（読み出し順位テーブル）2Tの方は、インタリーバ処理の出力、すなわち当該バッファメモリからの当該入力データ系列の読み出し操作を記述したものである。16行24列のマトリクス上で

対応する位置にある前記バッファメモリ1Tの（アドレス番号によって一義的に指定される）メモリセルからの読み出しが行われる順位が、当該テーブル2Tの各アドレスに格納されている。

【0013】すなわち、テーブル2Tの1行1列には前記バッファメモリ1T上で1行1列であるアドレス番号1のセルの読み出し順位を示す「1」が格納されており、以降も同様に、2行1列には前記バッファメモリの2行1列であるアドレス番号2セルの読み出し順位を示す「65」が、3行1列には前記バッファメモリの3行1列であるアドレス番号3のセルの読み出し順位を示す「129」が、…、24行16列には前記バッファメモリの24行16列であるアドレス番号384のセルの読み出し順位を示す「384」が格納されている。

【0014】したがって、図2(A)のテーブル1Tを用いてインタリーバ処理の入力（バッファメモリ1Tへの書き込み）を行い、図2(B)のテーブル2Tを用いてインタリーバ処理の出力（バッファメモリ1Tからの読み出し）を行う場合、バッファメモリ1Tの各アドレスに書き込まれている384シンボルのデータx(1)～x(384)のうち、バッファメモリ1Tの1行1列のx(1)がテーブル2Tの1行1列の読み出し順位1に応じて最初に読み出され、続いてバッファメモリ1Tの1行9列のx(193)がテーブル2Tの1行9列の読み出し順位2に応じて2番目に読み出され、続いてバッファメモリ1Tの1行5列のx(97)がテーブル2Tの1行5列の読み出し順位3に応じて3番目に読み出され、…、最後に、バッファメモリ1Tの24行16列のx(384)がテーブル2Tの24行16列の読み出し順位384に応じて384番目に読み出される。

【0015】この操作により、バッファメモリ1Tへの書き込み前（および書き込み時点）では、x(1)、x(2)、x(3)、x(4)、x(5)、…、x(382)、x(383)、x(384)の順番であったデータ系列DS1が、読み出し後には、x(1)、x(193)、x(97)、x(289)、x(49)、…、x(288)、x(192)、x(384)の順番のデータ系列DS2に変換される。

【0016】これは、バッファメモリ1Tに対して画一的に縦方向に書き込んだデータ系列DS1を、（任意の1つの行の内部では順番を変化させながらも）横方向に読み出すことで、データ系列DS2を得ている。

【0017】このデータ系列DS2を受け取った受信側で行われるデインタリーバ処理では、これと逆の操作を行う（横方向に書込み、縦方向に読み出す）ことにより、元の順序のデータ系列DS1を復元することができる。

【0018】このようなインタリーバ処理およびデインタリーバ処理（インタリーバ処理およびデインタリーバ処理）を行うことにより、伝搬路でバースト誤り（集中的な誤り）が発生しても、復号過程において、受信した

データ系列DS2がDS1に変換される時に、当該誤りを元のデータ系列DS1上に分散させて誤りのバースト性を解消することができるので、ビタビ復号などのバースト誤りに弱い復号を行う場合、復号特性を改善することが可能である。

【0019】

【発明が解決しようとする課題】ところで、前記バースト誤りのバースト性をできるだけ完全に解消し、当該誤りを、前記デインタリーバ処理によって復元されたデータ系列DS1上で真に偏りなく分散させるためには、インタリーバ処理の規則性に偏りがなく、白色雑音的なランダム（無相関）性があることが求められる。

【0020】特に、疊み込み符号化を行った後にランダムインタリーバ処理を施してつくられるターボ符号の場合、当該ランダムインタリーバ処理では、高い白色雑音性が求められる。

【0021】ターボ符号の場合もその他の符号の場合も、インタリーバ処理（ランダムインタリーバ処理）の配列操作に少しでも白色雑音的でなく偏った部分があると、その偏りの部分につき、デインタリーバ処理の後でも、バースト誤りのバースト性が残留する可能性があり、その残留バースト部分のために復号特性が劣化し得る。

【0022】例えば、図2(B)のテーブル2Tの各列を縦方向にみると明らかのように、各列の1行目には1～16までの数字が並び、各列の2行目には65～80の数字が並び、各列の3行目には129～144の数字が並び、…、各列の7行目には33～48の数字が並び、…、各列の24行目には369～384の数字が並んでおり、この配列にはある種の周期性と偏りが内在している。

【0023】また、図2(B)のテーブル2Tでは、任意の1行の内部では読み出し順位を示す数字はランダムに配置されているように見えるが、例えば1～16の数字を配列した1行目では、左端の1列目に「1」、9列目に「2」、5列目に「3」、…、16列目に「16」が配置されているが、この1行目と比較しながら、65～80の数字を配列した2行目を見ると、2行目の左端の1列目には、当該65～80の範囲で最も小さな「65」が配置され、9列目には当該65～80の範囲で2番目に小さな「66」が配置され、5列目には当該65～80の範囲で3番目に小さな「67」が配置され、…、16列目には当該65～80の範囲で最も大きな「80」が配置されている。この関係は、3行～24行にも当てはまる。

【0024】すなわち、一見すると規則性がないように見えるテーブル2Tは、各行内での配列規則はまったく同じで画一的であり、明確な周期性と偏りを内包している。

【0025】このような周期性や偏りを利用すれば、前

記バッファメモリに対する書き込みアドレスや読み出しアドレスを生成するための書込み／読み出しアドレス生成回路を実現することは比較的容易であると考えられるが、上述した白色雑音的なランダム性を保証することは難しい。

【0026】白色雑音的な配列パターンをテーブル2Tのなかに再現することができたとしても、送信側、受信側でテーブル2Tと同様な内容を持ったROM（リードオンリーメモリ）テーブルなどを装備し、当該ROMテーブルを参照することで読み出し順位を決定するルックアップ方式によってインターバル処理やデインタリバ処理を実行することが必要となって、ハードウェア規模が増大するという問題がある。

【0027】また、いっそう長い周期のインターバル処理を行う必要が生じた場合、行列（マトリクス）の大きさ（縦×横）が大きくなるほどテーブル2Tの規模は拡大し、ROMテーブルの規模も拡大することとなって、さらにハードウェア規模が増大する。

【0028】また、データレートの種類が多くなればその種類分のROMテーブルが必要となり、これによってもハードウェア規模が増大してしまう。

【0029】

【課題を解決するための手段】かかる課題を解決するために、本発明では、情報系列を一時的に記憶する一時記憶手段を備え、順番変更用マトリクスに応じて当該一時記憶手段に対する情報の書き込み順序又は読み出し順序を制御することで、データ順序変更処理を行うデータ順序変更装置において、前記順番変更用マトリクスの縦方向成分を指定する第1の擬似雑音符号を発生する第1の符号発生手段と、前記順番変更用マトリクスの横方向成分を指定する第2の擬似雑音符号を発生する第2の符号発生手段とを備えることを特徴とする。

【0030】

【発明の実施形態】（A）実施形態

以下、本発明のデータ順序変更装置を、シフトレジスタ型のPN（擬似雑音）符号発生器を用いたCDMAの符号化装置におけるインターバル処理部に適用した場合を例に、第1～第3の実施形態について説明する。

【0031】（A-1）第1の実施形態の構成および動作

本実施形態の符号化装置50の主要部の構成を図4に示す。図4は、図3に示した一連の符号化処理手順のうち、インターバル処理（例えばBlock Interleaver 2-3）に対応する部分を中心に一部だけを図示している。

【0032】図4において、当該符号化装置50は、リピテーション処理部51と、インターバル処理部（ランダムインターバル）52と、加算器53とを備えている。

【0033】このうちリピテーション処理部51は、上述したシンボルリピテーション（Symbol Repetition）処理部（例えばSymbol Repetition 2-2）に対応するリピテシ

ョン処理を行い、リピテーション処理の結果として得られるデータ系列DS3を出力する部分である。

【0034】必要に応じて当該シンボルリピテーション処理部51は省略してもよく、その他の処理部（例えばパンクチャ処理部など）と置換してもよい。省略した場合にはインターバル処理部52の前段に、疊み込み符号化処理部（例えば前記Convolutional Encoder 2-1）が配置されることになる。

【0035】リピテーション処理部51からデータ系列DS3を受け取るインターバル処理部52は、バッファメモリ（RAM（ランダムアクセスメモリ））54と、書き込みアドレス指定回路55と、読み出しアドレス指定回路56とを備えている。

【0036】バッファメモリ54は、上述したバッファメモリ1Tに対応する構成部分であり、図5（A）に示すようなマトリクス状の構造を持っているものとする。図5（A）に示したマトリクス上の各セルのアドレスは、左の列ほど下位で、同一列内では上の行ほど下位であるものとする。

【0037】すなわち、1行1列目のセルが最下位のアドレス番号1に対応し、2行1列目のセルが最下位から2番目のアドレス番号2に対応し、3行1列のセルが最下位から3番目のアドレス番号3に対応し、…、7行15列目が最下位から105番目（すなわち最上位）に対応するものとする。

【0038】したがって、図5（A）に7行15列のマトリクスに示した各数字は、当該マトリクス上で各数字が存在する位置のメモリセルのアドレス番号を示しているともできる。

【0039】書き込みアドレス指定回路55は、データ系列DS3の各シンボルをバッファメモリ54に書き込むにあたって、アドレス指定を行う回路である。本実施形態における書き込みアドレス指定回路55によるアドレス指定は、バッファメモリ54上では、メモリアドレスの最下位から上位へ向けて逐次、書き込みアドレス指定回路55が持っているアドレスポインタ値を、画一的にインクリメントするものとする。

【0040】もちろん、最上位から下位へデクリメントするような構成も可能である。

【0041】一方、読み出しアドレス指定回路56は、バッファメモリ54に書き込まれたデータ系列DS3を読み出すにあたってアドレス指定する回路で、PN符号を用いて読み出しアドレスを指定するために、図1に示すような内部構成を備えている。

【0042】（A-1-1）読み出しアドレス指定回路の内部構成および動作

図1において、読み出しアドレス指定回路56は、シフトレジスタ型の2つのPN（符号）発生器1-1および1-2を備えている。

【0043】このうちPN符号発生器1-1は、バッファ

メモリ54のマトリクスにつき、縦アドレス（縦方向成分）PAを指定するための回路で、PN符号発生器12は、バッファメモリ54の当該マトリクスにつき、横アドレス（横方向成分）HAを指定するための回路である。

【0044】PN符号発生器11は、3ビットのシフトレジスタ1～3と、1つの加算器15を備えており、レジスタ1, 2, 3はこの順番でシリアルに接続され、加算器15の2つの入力端子にはレジスタ1の出力端子とレジスタ3の出力端子が接続されており、加算器15の出力端子はレジスタ1の入力端子に接続されており、レジスタ1～3の出力端子からパラレル出力される3ビットによって、前記縦アドレスPAが指定される。

【0045】例えば、レジスタ1と2の出力がともに“0”で、レジスタ3の出力が“1”である001Bの場合には、縦アドレスPAの値は1Dとなり、レジスタ1の出力が“1”で、レジスタ2と3の出力がともに“0”である100Bの場合には、縦アドレスPAの値は4Dとなる。

【0046】なお、ここで「D」はその前の数字が10進数表示であることを示し、「B」はその前の数字が2進数表示であることを示す。以下においても同じである。

【0047】これに対しPN符号発生器12は、4ビットのシフトレジスタ4～5と、1つの加算器16を備えており、レジスタ4, 5, 6, 7はこの順番でシリアルに接続され、加算器16の2つの入力端子にはレジスタ4の出力端子とレジスタ7の出力端子が接続され、加算器16の出力端子にはレジスタ4の入力端子が接続され、レジスタ4～7の出力端子からパラレルに取り出される4ビットによって、前記横アドレスHAが指定される。

【0048】例えば、レジスタ4～6の出力がすべて“0”で、レジスタ7の出力が“1”である0001Bの場合には横アドレスPAの値は1Dとなり、レジスタ4の出力が“1”で、レジスタ5～7の出力がすべて“0”である1000Bの場合には縦アドレスPAの値は8Dとなる。

【0049】そして、例えば、レジスタ1～3の出力が001Bで、レジスタ4～7の出力が0001Bであるとき、当該読み出しアドレス指定回路56の指定するバッファメモリ54のメモリセルは1行1列のアドレス番号1のセルである。同様に、レジスタ1～3の出力が001Bで、レジスタ4～7の出力が1000Bであるとき、当該読み出しアドレス指定回路56の指定するバッファメモリ54のメモリセルは1行8列のアドレス番号50のセルとなる。

【0050】このようなPN符号発生器11と12の構成を一般化すると、バッファメモリ54のマトリクスが縦方向にM、横方向にNのM×N ($M = 2^m - 1$, $N =$

$2^n - 1$ 、ここでm, nは自然数) 構造を持つ場合、PN符号発生器11のシフトレジスタはm段(mビット)になるとともにPN符号発生器12のシフトレジスタはn段(nビット)になる。

【0051】本実施形態は、このような一般形に関し、 $m = 3$, $n = 4$ と置いた例である。

【0052】本実施形態においては、縦アドレス用PN発生器11は3段PN発生器であり、横アドレス用PN発生器12は4段PN発生器であるため、それぞれ周期7 ($2^3 - 1$) シフト、周期15 ($2^4 - 1$) シフトでレジスタの内部状態の変化がちょうど1巡する。

【0053】レジスタの初期値については全て0でなければどのような値でも構わないが、ここではそれぞれ(レジスタ1, レジスタ2, レジスタ3) = (0, 0, 1), (レジスタ4, レジスタ5, レジスタ7) = (0, 0, 0, 1)とする。この初期状態001B, 0001Bは10進数表現ではいずれも1Dを指定しており、縦3段、横4段を合わせると、上述したバッファメモリ54の1行1列目に位置する最下位アドレスのセルを指定している。

【0054】縦アドレス用PN発生器11のレジスタの内部状態の変化は、001, 100, 110, 111, 011, 101, 010まで1周期であり、以降はまた001, …と変化するので、縦アドレスの10進数表示は1, 4, 6, 7, 3, 5, 2(ここまで縦アドレスの1周期(縦アドレス周期)), 1, …と変化する。

【0055】同様に、横アドレス用PN発生器12のレジスタの内部状態の変化は、0001, 1000, 1100, 1110, 1111, 0111, 1101, 0101, 1010, 1101, 0110, 0011, 1001, 0100, 0010まで1周期であり、以降はまた0001, …と変化するので、横アドレスの10進数表示は1, 8, 12, 14, 15, 7, 11, 5, 10, 13, 6, 3, 9, 4, 2(ここまで横アドレスの1周期(横アドレス周期)), 1, …と変化する。

【0056】ここで、レジスタ1～3のシフト動作と、レジスタ4～7のシフト動作がともに初期状態001B, 0001Bから始まり、同じクロックを基に1クロックにつき1回(1ビット)シフトすることで進行するものとすると、前記縦アドレス周期は7クロック(7シフト)に相当し、前記横アドレスの1周期は15クロック(15シフト)に相当する。

【0057】したがって、縦アドレスと横アドレスを組み合わせた合成アドレスの1周期(合成アドレス周期)は、105クロックに相当するものとなり、ちょうど105クロックで、図5(B)の読み出し順位マトリクス(インタリーブマトリクス、すなわち読み出し順位テーブル)57に示す1～105番の読み出しを、漏れなく、なおかつ重複なく行うことができる。

【0058】図5(B)と図5(A)の関係は、上述し

た図2(B)と図2(A)の関係と同じである。

【0059】すなわち、7行16列のマトリクス上で対応する位置にある前記バッファメモリ54のアドレス番号(メモリセル)からの読み出しが行われる順位が、当該読み出し順位テーブル57の各位置に配置されている。

【0060】ただし本実施形態の場合、読み出し順位テーブル57は従来のテーブル2Tと異なり、ROMなどのハードウェア的な大規模記憶手段の実体を伴わない概念的なテーブルであり、読み出し順位テーブル57中の各数字は、いずれかの記憶手段に格納された論理的なデータではなく、初期時点(縦アドレスPAおよび横アドレスHAがともに1Dとなるテーブル57の1行1列の「1」に対応する時点)から該当する時点までの、シフトレジスタの総シフト数(あるいは当該シフトのために供給された総クロック数)に対応した物理的、時間的な概念である。

【0061】換言するなら読み出し順位テーブル57は、読み出しアドレス指定回路56の指定する読み出しアドレスHA+PAの変化をまとめると、図5(B)のように図示することができることを示しているにすぎない。PN符号発生器11, 12を構成するシフトレジスタも広い意味でとらえると記憶手段の一種ではあるが、同等な機能をサポートできるROMなどに比較すると、はるかに小規模である。

【0062】上述した書き込みアドレス指定回路55の指定する書き込みアドレスにしたがってバッファメモリ54のアドレス番号1のセルに書き込まれたデータ系列DS3中のデータをx(1)とし、同様に、バッファメモリ54のアドレス番号2のセルに書き込まれたデータ系列DS3中のデータをx(2)、バッファメモリ54のアドレス番号3のセルに書き込まれたデータ系列DS3中のデータをx(3)、…、バッファメモリ54のアドレス番号105のセルに書き込まれたデータ系列DS3中のデータをx(105)とする。

【0063】すなわち、データ系列DS3中の各データは、x(1)、x(2)、x(3)、x(4)、x(5)、x(6)、x(7)、…、x(103)、x(104)、x(105)の順番である。

【0064】これに対し、読み出しアドレス指定回路56が指定する読み出しアドレスHA+HPにしたがったバッファメモリ54からの読み出しあは、x(1)、x(53)、x(83)、x(98)、x(101)、x(47)、x(72)、…、x(59)、x(26)、x(9)の順番で行われ、これらがインタリーバ処理を受けたデータ系列DS4としてインタリーバ処理部52から加算器53に供給される。

【0065】加算器53では、このインタリーバ処理済みのデータ系列DS4にWalsh関数(例えば図3中のWalsh Function32に相当する)が加算されて出力される。

【0066】(A-2) 第1の実施形態の効果

本実施形態によれば、偏りがなく、白色雑音的にランダム(無相関)な規則性でインタリーバ処理を行うことができるので、インタリーバ処理後の平均的なデータ間距離を確保することが可能であり、誤りのバースト性の除去性能に優れたインタリーバ処理を提供することができる。

【0067】これにより、ビタビ復号やターボ復号の特性を改善することが可能である。

【0068】また、本実施形態では、従来のようにROMテーブルを用いる場合と比較して、ハードウェア規模が極めて小さい。

【0069】(B) 第2の実施形態

本実施形態は、第1の実施形態と機能面で共通する点が多いので、以下では、本実施形態が第1の実施形態と相違する点についてのみ説明する。

【0070】実質的にこの相違点は、主として読み出しアドレス指定回路(56)に関連する部分に限られる。

【0071】(B-1) 第2の実施形態の構成および動作

本実施形態の符号化装置60の主要部の構成を図4に示す。本実施形態の符号化装置60は、第1の実施形態の符号化装置50中の読み出しアドレス指定回路56に置換して、読み出しアドレス指定回路61を備え、バッファメモリ54に置換してバッファメモリ62を備えた構成を有している。

【0072】本実施形態のバッファメモリ62は、図8(A)に示すように、5行12列のマトリクス構造を有している点を除けば、第1の実施形態のバッファメモリ54と同じである。

【0073】第1の実施形態では、バッファメモリ54のマトリクス構造が7行15列で、縦方向セル数Mも横方向セル数Nも、m、nを自然数として、 $M = 2^m - 1$ 、 $N = 2^n - 1$ の形で記述することができるという意味で、マトリクス構造がPN発生器11, 12の各シフトレジスタの1周期と過不足なく一致したが、本実施形態の5行12列のマトリクス構造では、このような一致を得ることはできない。

【0074】また、本実施形態のバッファメモリ62のマトリクス構造の縦方向Mの5(セル)と横方向Nの12(セル)は、互いに素な関係にある。

【0075】本実施形態でも、縦アドレス用のPN発生器11は3段シフトレジスタなので、当該PN発生器11の1周期は7クロック分で、縦方向に5セル(通常は5クロック分に相当)しか持たないバッファメモリ62に対しては2クロック分過剰である。

【0076】同様に、本実施形態の横アドレス用のPN発生器12は4段シフトレジスタなので、当該PN発生器12の1周期は15クロック分で、横方向に12セル(通常は12クロック分に相当)しか持たないバッファメモリ62に対しては、3クロック分過剰である。

【0077】このようなバッファメモリの構造とシフトレジスタの段数との不一致は、その取り扱いによっては、バッファメモリのすべてのセルを活用できることで利用効率を低下させたり、インタリーバ処理とそれに対応して受信側で行われるデインタリーバ処理の正常な対応関係を確保することが困難になることも考えられる。

【0078】本実施形態において、この問題に関する対応策を提供するのが、読み出しアドレス指定回路61である。

【0079】この読み出しアドレス指定回路61の内部構成を図6に示す。

【0080】(B-1-1) 読み出しアドレス指定回路の構成および動作

図6において、読み出しアドレス指定回路61は、シフトレジスタ型の2つのPN符号発生器11および12と、縦アドレス用の判定器13と、横アドレス用の判定器14とを備えている。

【0081】このうち判定器13、14以外の第1の実施形態と同一の符号を付した構成要素1~7、11、12、15、16の構成および動作は、第1の実施形態と実質的に同じである。

【0082】ただしPN発生器11、12は、第1の実施形態で述べたすべての動作を行う機能に加えて、判定器13、14から更新信号PR、HRの供給を受けるたびに、通常のシフトを行う次のクロックの供給前であっても、1クロック分シフトする機能を装備している。

【0083】判定器13は、上記縦アドレス用PN発生器11が出力する縦アドレス候補PAPが、前記M(=5D)より大きいかどうか判定を行い、もし、M以下の値であれば当該縦アドレス候補PAPを縦アドレスPAとしてそのまま出力するが、Mより大きい値であれば縦アドレス用PN発生器11のSHIFT_ENA端子に更新信号PRを供給してシフトレジスタ1~3の値を1ビット分シフトさせて更新し、次の縦アドレス候補PAPの出力を要求する。

【0084】このような操作は、縦アドレス候補PAPとして、前記M以下の値が得られるまで繰り返される。

【0085】判定器14も同様に、横アドレス用PN発生器12が出力する横アドレス候補HAPについてN(=12D)よりも大きいかどうか判定を行い、もし、N以下の値であれば横アドレスHAとしてそのまま出力するが、Nより大きい値であれば横アドレス用PN発生器12のSHIFT_ENA端子へ更新信号HRを供給してシフトレジスタ4~7の値を1ビット分シフトさせて更新し、次の横アドレス候補HAPの出力を要求する。

【0086】このような操作は、横アドレス候補HAPとして、前記N以下の値が得られるまで繰り返される。

【0087】なお、本実施形態の図8(B)は、第1の

実施形態における図5(B)に相当する読み出し順位マトリクス(読み出し順位テーブル)63を示している。

【0088】本実施形態では、縦アドレスPAと横アドレスHAを組み合わせた合成アドレスの1周期は、60クロックに相当するものとなり、ちょうど60クロックで、図8(B)の読み出し順位マトリクス(読み出し順位テーブル)62に示す1~60番の読み出しを、漏れなく、なおかつ重複なく行うことができる。

【0089】第1の実施形態と同様の操作により、縦アドレス用PN発生器11が出力する縦アドレス候補PAPの値は10進数表示で1, 4, 6, 7, 3, 5, 2, 1、…の順序で変化し、横アドレス用PN発生器12が出力する横アドレス候補HAPの値は10進数表示で1, 8, 12, 14, 15, 7, 11, 5, 10, 13, 6, 3, 9, 4, 2, 1、…の順序で変化する。

【0090】このとき判定器13は、上記縦アドレス候補PAPが6Dのときと7Dのときに更新信号PRを出力して、通常1回のシフトを行う1クロック期間に3回シフトを行い7Dの次の3Dを縦アドレスPAとして出力することになる。

【0091】判定器13のこの動作は周期的なので、判定器13から出力される縦アドレスPAは10進数表示で、1, 4, 3, 5, 2, 1、…の順序で変化する。

【0092】同様に、判定器14は、上記横アドレス候補HAPが13D、14D、15Dのときに更新信号HRを出力するので、横アドレス7Dを出力するためにには、通常1回のシフトを行う1クロック期間に3回シフトを行い15Dの次の7Dを横アドレスHAとして出力することになり、横アドレス6Dを出力するためには、通常1回のシフトを行う1クロック期間に2回シフトを行い13Dの次の6Dを横アドレスHAとして出力することになる。

【0093】判定器14のこの動作は周期的なので、判定器14から出力される横アドレスHAは、10進数表示で1, 8, 12, 7, 11, 5, 10, 6, 3, 9, 4, 2, 1、…の順序で変化する。

【0094】したがって、判定器13から出力される縦アドレスPAと、判定器14から出力される横アドレスHAとを組み合わせた合成アドレスの周期は、上述した60(=5×12)クロックになる。

【0095】本実施形態により、x(1)、x(2)、x(3)、x(4)、x(5)、x(6)、x(7)、…、x(58)、x(59)、x(60)の順番を持つデータ系列DS3中の各データの順番は、x(1)、x(39)、x(60)、x(33)、x(52)、x(21)、x(49)、…、x(45)、x(18)、x(7)に変換される。

【0096】(B-2) 第2の実施形態の効果

本実施形態によれば、第1の実施形態で得られる効果と同等な効果を得ることができる。

【0097】加えて、本実施形態によれば、バッファメモリ(62)のマトリクス構造M×Nが、 $M=2^m-1$ 、 $N=2^n-1$ の形で記述することができる場合はもちろん、できない場合でも、当該MとNが互いに素であることを条件として、バッファメモリのすべてのセルを活用することで利用効率を高く維持し、インターバル処理とそれに対応して受信側で行われるデインタリーバル処理の正常な対応関係を確保することが容易であるため、第1の実施形態よりも実装上、設計上の自由度が高く、信頼性も向上する。

【0098】(C) 第3の実施形態

本実施形態は、第1の実施形態と機能面で共通する点が多いので、以下では、本実施形態が第1の実施形態と相違する点についてのみ説明する。

【0099】実質的にこの相違点は、主として読み出しアドレス指定回路(56)に関連する部分に限られる。

【0100】一方、第2の実施形態と本実施形態の関係については、第2の実施形態がバッファメモリ(62)のマトリクス構造の縦方向のセル数Mと横方向のセル数Nとは、互いに素であることが必要であったが、本実施形態は、MとNが任意の自然数である場合(M、Nが互いに素である場合も含む)に適用することができる点が相違する。

【0101】MとNが互いに素でない場合には、前記合成アドレス周期がM×Nよりも小さくなってしまう問題がある。合成アドレス周期がM×Nよりも小さくなるということは、バッファメモリ(62)中のM×N個のすべてのセルからデータを読み出すことができず、正常にインターバル処理を行うことができない可能性があることを意味する。

【0102】(C-1) 第3の実施形態の構成および動作

本実施形態の符号化装置70の主要部の構成を図4に示す。本実施形態の符号化装置70は、第1の実施形態の符号化装置50中の読み出しアドレス指定回路56に置換して、読み出しアドレス指定回路71を備え、バッファメモリ54に置換してバッファメモリ72を備えた構成を有している。

【0103】本実施形態のバッファメモリ72は、図9(A)に示すように、6行12列のマトリクス構造を有している点を除けば、第1の実施形態のバッファメモリ54と同じである。

【0104】第1の実施形態では、バッファメモリ54のマトリクス構造が7行15列で、縦方向セル数Mも横方向セル数Nも、m、nを自然数として、 $M=2^m-1$ 、 $N=2^n-1$ の形で記述することができるという意味で、マトリクス構造がPN発生器11、12の各シフトレジスタの1周期と過不足なく一致したが、本実施形態の6行12列のマトリクス構造では、このような一致を得ることはできない。

【0105】また、本実施形態のバッファメモリ72のマトリクス構造の縦方向Mの6(セル)と横方向Nの12(セル)は、互いに素な関係はない点で、第2の実施形態のバッファメモリ62とも相違する。

【0106】本実施形態でも、縦アドレス用のPN発生器11は3段シフトレジスタなので、当該PN発生器11の1周期は7クロック分で、縦方向に6セル(通常は6クロック分に相当)しか持たないバッファメモリ72に対しては1クロック分過剰である。

【0107】同様に、本実施形態の横アドレス用のPN発生器12は4段シフトレジスタなので、当該PN発生器12の1周期は1.5クロック分で、横方向に12セル(通常は12クロック分に相当)しか持たないバッファメモリ62に対しては、3クロック分過剰である。

【0108】このようなバッファメモリの構造とシフトレジスタの段数との不一致は、その取り扱いによっては、バッファメモリのすべてのセルを活用できることで利用効率を低下させたり、インターバル処理とそれに対応して受信側で行われるデインタリーバル処理の正常な対応関係を確保することが困難になることも考えられる。

【0109】また、本実施形態では、第2の実施形態と同様なこのようないくつかの問題に加えて、上述したMとNが互いに素でないために合成アドレス周期がM×Nよりも小さくなってしまう問題をも解決する。

【0110】本実施形態において、これらの問題に関する対応策を提供するのが、読み出しアドレス指定回路71である。

【0111】この読み出しアドレス指定回路71の内部構成を図7に示す。

【0112】(C-1-1) 読み出しアドレス指定回路の構成および動作

図7において、読み出しアドレス指定回路71は、シフトレジスタ型の2つのPN符号発生器11および12と、縦アドレス用の判定器73と、横アドレス用の判定器74と、横アドレス周期検出用の判定器75とを備えている。

【0113】このうち判定器73、74、75以外の第1の実施形態と同一の符号を付した構成要素1~7、11、12、15、16の構成および動作は、第1の実施形態と実質的に同じである。

【0114】ただしPN発生器11、12は、第1の実施形態で述べたすべての動作を行う機能に加えて、判定器73、74から更新信号PR、HRの供給を受けるたびに、通常のシフトを行う次のクロックの供給前であっても、1クロック分シフトする機能を装備している。

【0115】判定器73は、上記縦アドレス用PN発生器11が出力する縦アドレス候補PAPが、前記M(=6D)より大きいかどうか判定を行い、もし、M以下の値であれば当該縦アドレス候補PAPを縦アドレスPA

としてそのまま出力するが、Mより大きい値であれば縦アドレス用PN発生器11のSHIFT_ENA端子に更新信号PRを供給してシフトレジスタ1～3の値を1ビット分シフトさせて更新し、次の縦アドレス候補PAの出力を要求する。.

【0116】このような操作は、縦アドレス候補PAPとして、前記M以下の値が得られるまで繰り返される。

【0117】ここまで第2の実施形態の判定器13と同じ機能に加えて当該判定器73は、判定器75から一致信号CSの供給を受けたときにも更新信号PRを出力する機能を装備している。この機能は、前記合成アドレス周期の伸長をはかる合成アドレス周期伸長機能である。

【0118】本実施形態の判定器74の機能は、N=12Dであることも含めて、第2の実施形態の判定器14とまったく同じであってよい。

【0119】すなわち判定器74は、横アドレス用PN発生器12が出力する横アドレス候補HAPに対してN (=12D)よりも大きいかどうか判定を行い、もし、N以下の値であれば横アドレスHAとしてそのまま出力するが、Nより大きい値であれば横アドレス用PN発生器12のSHIFT_ENA端子へ更新信号HRを供給してシフトレジスタ4~7の値を1ビット分シフトさせて更新し、次の横アドレス候補HAPの出力を要求する。そしてこのような操作は、横アドレス候補HAPとして、前記N以下の値が得られるまで繰り返される。

【0120】判定器73がPN発生器11から受け取る
縦アドレス候補PAPの変化は10進数表示で、1,
4, 6, 3, 5, 2(ここまでで縦アドレスの1周期
(縦アドレス周期)), 1, 4, 6, 3, 5, 2, 1,
…となり、判定器74がPN発生器12から受け取る横
アドレスHAの変化は10進数表示で、1, 8, 12,
7, 11, 5, 10, 6, 3, 9, 4, 2(ここまでで
横アドレスの1周期(横アドレス周期)), 1, …とな
る。

【0121】判定器75は、受け取った横アドレス候補HAPの値と横アドレス候補HAPの初期値（この場合1D）が一致する（周期12クロックのデータが一巡する）かどうか判定し、もし一致する場合は判定器73に對して、前記一致信号CSを供給して縦アドレス候補PAPの次の値を縦アドレスPAとして出力するようにならざる。もし一致しない場合は一致信号CSを供給しない。

【0122】上記判定器3の操作により、MとNが互いに素でない場合にも判定器1の出力と判定器2の出力の組合せをM×N通りにすることができる。

【0123】合成アドレス周期の内訳は、最初の1周期は一致信号CSが発生されることなく、長い方の横アドレス周期に対応して12セル（12クロック）となり、以降は、横アドレス候補HAPが初期値（ここでは1

D) になるたびに縦アドレス候補PAPが1ビット余分にシフトされるので、当該シフトによってスキップされる縦アドレス候補PAPが10進数表示で1, 4, 6, 3, …とずれていく点を除くと、M=5（この5と12（=N）は違いに素である）である場合と同等な動作となり、60（=5×12）セルの読み出しが行われる。

【0124】結局、前記12セルと当該60セルを合わせて72 (=12+60) セル分のデータが、バッファメモリ72から、漏れなく、なつかつ重複なく読み出されることになる。

【0125】すなわち、判定器74が出力する横アドレスHAの変化は横アドレス候補PAPとまったく同様に、10進数表示で、1, 8, 12, 7, 11, 5, 10, 6, 3, 9, 4, 2, 1, …となる一方で、判定器73が出力する縦アドレスPAの変化は10進数表示で、1, 4, 6, 3, 5, 2, 1, 4, 6, 3, 5, 2, (ここで1をスキップして)、4, 6, 3, 5, 2, 1, 4, 6, 3, 5, 2, 1, 4, (ここで4をスキップして)、6, 3, 5, 2, 1, 4, 6, 3, 5, 2, 1, 4, (ここで6をスキップして)、3, 5, 2, 1, 4, …となる。

【0126】これにより、バッファメモリ72に対して、 $x(1)$ 、 $x(2)$ 、 $x(3)$ 、 $x(4)$ 、 $x(5)$ 、 $x(6)$ 、 $x(7)$ 、…、 $x(70)$ 、 $x(71)$ 、 $x(72)$ を含むデータ系列DS3が書き込まれると、読み出し時には、 $x(1)$ 、 $x(46)$ 、 $x(72)$ 、 $x(39)$ 、 $x(65)$ 、 $x(26)$ 、 $x(55)$ 、…、 $x(54)$ 、 $x(21)$ 、 $x(11)$ の順番のデータ系列DS4が読み出され、バッファメモリ72の全セルを活用した正常なインタリーバ処理を行うことができる。

【0127】なお、本実施形態の図9（B）は、第1の実施形態における図5（B）に相当する読み出し順位マトリクス（読み出し順位テーブル）73を示している。

【0128】(C) 第3の実施形態の効果

本実施形態によれば、第2の実施形態の効果と同等な効果を得ることができる。

【0129】加えて、本実施形態では、MとNが互いに素でない任意の自然数である場合にも、バッファメモリのすべてのセルを活用することで利用効率を高く維持し、インタリーバ処理とそれに対応して受信側で行われるデインタリーバ処理の正常な対応関係を確保することが容易であるため、第1の実施形態や第2の実施形態よりも実装上、設計上の自由度が高く、信頼性も向上する。

【0130】(D) 他の審査形態

なお、第1～第3の実施形態では、バッファメモリ54, 62, 72の各セルに対する書き込みは縦方向、すなわち1行1列、2行1列、3行1列、…、7行15列（第1の実施形態の例）を行い、読み出しへテープル

57, 63, 73が指定する順序で行ったが、書き込みを横方向、すなわち1行1列、1行2列、1行3列、…、7行15列（第1の実施形態の例）を行い、読み出しをテーブル57, 63, 73の示す順序で行うようにしてもよい。

【0131】また、バッファメモリ54, 62, 72に対する書き込みの方を、テーブル57, 63, 73が指定する順序で行い、読み出しは、画一的に横方向または縦方向に行うようにしてもよい。

【0132】さらに、第1～第3の実施形態では、説明を明確にするために、M=7, 5, 6、N=15, 12などと具体的な数値を示したが、これらの数値は例示的なものであり、本発明をこれら以外の数値について適用することはできる。

【0133】なお、第1～第3の実施形態では、CDMAを例に説明したが、本発明はその他の通信方式にも適用することができる。

【0134】また、第1～第3の実施形態では、送信側の符号化装置でインタリーバ処理を行う場合について説明したが、これに対向する受信側では、当該インタリーバ処理と対称な構成を持つデインタリーバ処理が行われることは当然である。したがって本発明は、送信側で行われるインタリーバ処理（データ順序変更処理）だけでなく、受信側で行われるデインタリーバ処理（これもまた、データ順序変更処理）にも適用することができる。

【0135】さらに、第1～第3の実施形態では、ハードウェア的に本発明を実現したが、本発明はソフトウェア的に実現することも可能である。

【0136】

【発明の効果】以上に説明したように、本発明によれば、偏りがなく、白色雑音的にランダム（無相関）な規則性でデータ順序変更処理を行うことができる。

【0137】これにより、誤りのバースト性の除去性能を向上することもできる。

【0138】また、本発明のハードウェア規模は、同等な機能を持つ従来の装置に比べて極めて小さい。

【図面の簡単な説明】

【図1】第1の実施形態に係る符号化装置の読み出しアドレス指定回路の構成を示す概略図である。

【図2】従来のバッファメモリと読み出し順位テーブルのマトリクス構造を示す構成図である。

【図3】従来の符号化の処理手順を示す概略図である。

【図4】第1～第3の符号化装置の主要部の構成を示す概略図である。

【図5】第1の実施形態の動作説明図である。

【図6】第2の実施形態に係る符号化装置の読み出しアドレス指定回路の構成を示す概略図である。

【図7】第3の実施形態に係る符号化装置の読み出しアドレス指定回路の構成を示す概略図である。

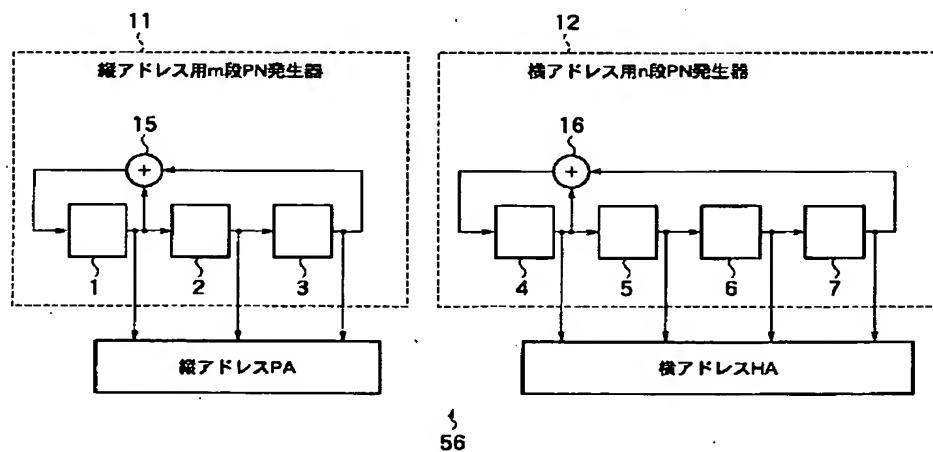
【図8】第2の実施形態の動作説明図である。

【図9】第3の実施形態の動作説明図である。

【符号の説明】

1～3、4～7…シフトレジスタ、11, 12…PN発生器、13, 14, 73, 74, 75…判定器、50, 60, 70…符号化装置、52…インタリーバ処理部、54, 62, 72…バッファメモリ。

【図1】



【図2】

(A)

1	25	49	73	97	121	145	169	183	217	241	265	289	313	337	361
2	26	50	74	98	122	146	170	194	218	242	268	290	314	338	362
3	27	51	75	99	123	147	171	195	219	243	267	291	315	339	363
4	28	52	76	100	124	148	172	196	220	244	269	292	316	340	364
5	29	53	77	101	125	149	173	197	221	245	269	293	317	341	365
6	30	54	78	102	126	150	174	198	222	248	270	294	318	342	366
7	31	55	79	103	127	151	175	199	223	247	271	295	319	343	367
8	32	56	80	104	128	152	176	200	224	248	272	298	320	344	368
9	33	57	81	105	129	153	177	201	225	249	273	297	321	345	369
10	34	58	82	106	130	154	178	202	226	250	274	298	322	346	370
11	35	59	83	107	131	155	179	203	227	251	275	299	323	347	371
12	36	60	84	108	132	156	180	204	228	252	276	300	324	348	372
13	37	61	85	109	133	157	181	205	229	253	277	301	325	349	373
14	38	62	86	110	134	158	182	206	230	254	278	302	326	350	374
15	39	63	87	111	135	159	183	207	231	255	279	303	327	351	375
16	40	64	88	112	136	160	184	208	232	256	280	304	328	352	376
17	41	65	89	113	137	161	185	209	233	257	281	305	329	353	377
18	42	66	90	114	138	162	186	210	234	258	282	306	330	354	378
19	43	67	91	115	139	163	187	211	235	259	283	307	331	355	379
20	44	68	92	116	140	164	188	212	236	260	284	308	332	356	380
21	45	69	93	117	141	165	189	213	237	261	285	309	333	357	381
22	46	70	94	118	142	166	190	214	238	262	286	310	334	358	382
23	47	71	95	119	143	167	191	215	239	263	287	311	335	359	383
24	48	72	96	120	144	168	192	216	240	264	288	312	336	360	384

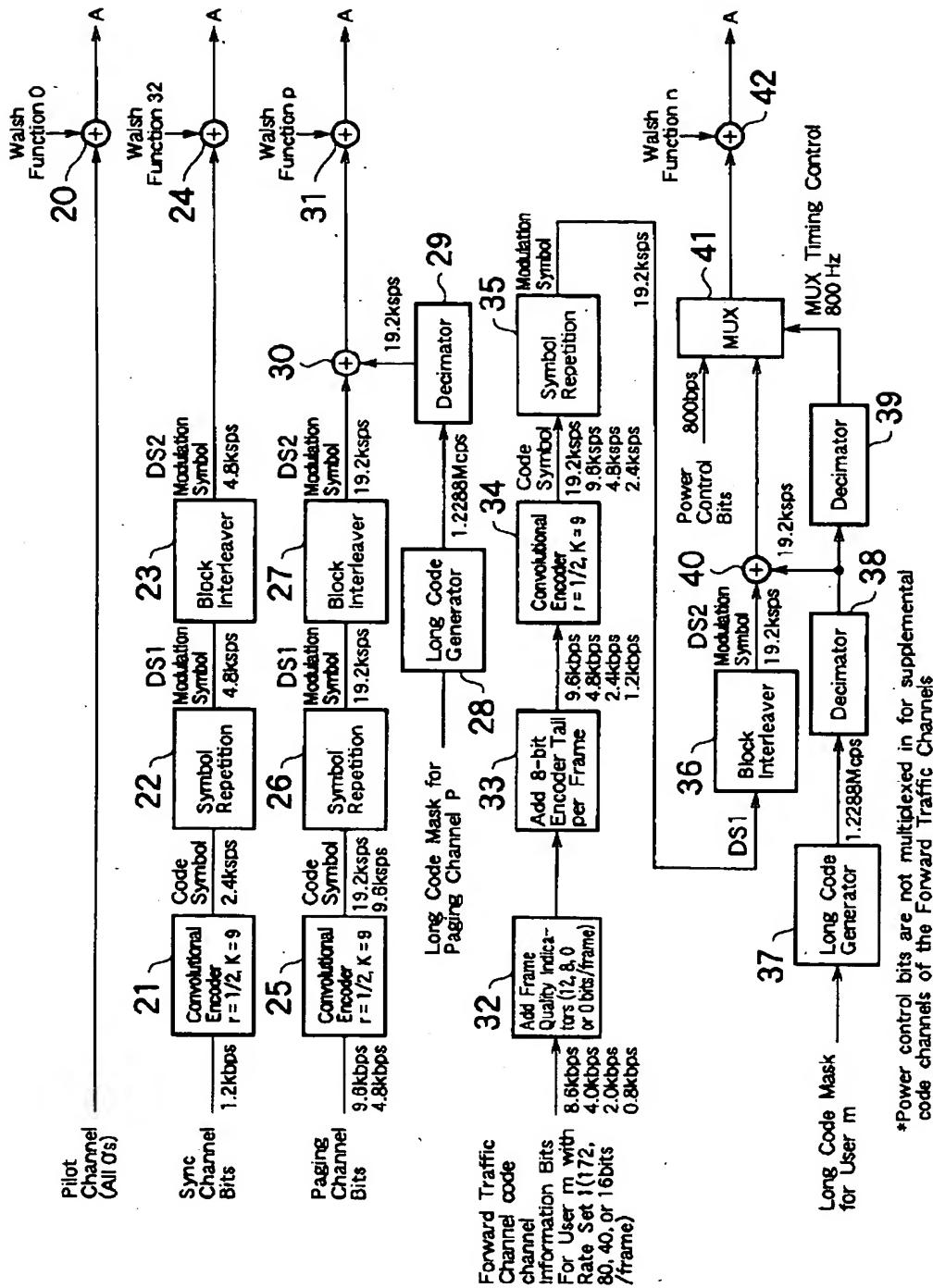
1T

(B)

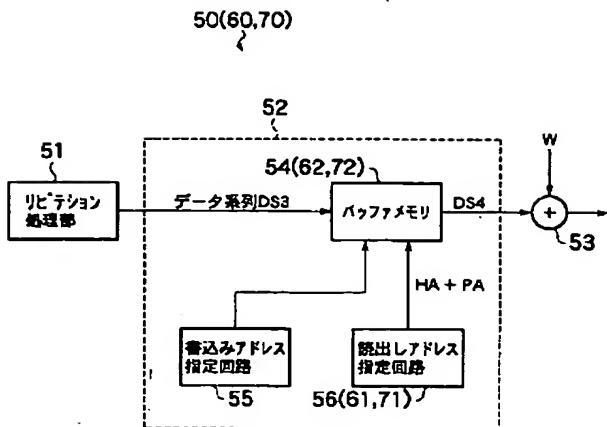
1	9	5	13	3	11	7	15	2	10	6	14	4	12	8	16
65	73	69	77	87	75	71	79	66	74	70	78	88	76	72	80
129	137	133	141	131	139	135	143	130	138	134	142	132	140	136	144
193	201	197	205	195	203	199	207	194	202	198	206	196	204	200	208
257	265	261	269	259	267	263	271	258	266	262	270	260	268	264	272
321	329	325	333	323	331	327	335	322	330	326	334	324	332	328	336
33	41	37	45	35	43	39	47	34	42	38	46	36	44	40	48
97	105	101	109	99	107	103	111	98	106	102	110	100	108	104	112
161	169	165	173	163	171	167	175	162	170	166	174	164	172	168	176
225	233	229	237	227	235	231	239	226	234	230	238	228	236	232	240
289	297	293	301	291	299	295	303	290	298	294	302	292	300	296	304
353	361	357	365	355	363	359	367	354	362	358	366	356	364	360	368
17	25	21	29	19	27	23	31	18	26	22	30	20	28	24	32
81	89	85	93	83	91	87	95	82	90	86	94	84	92	88	96
145	153	149	157	147	155	151	159	146	154	150	158	148	156	152	160
209	217	213	221	211	219	215	223	210	218	214	222	212	220	216	224
273	281	277	285	275	283	279	287	274	282	278	286	276	284	280	288
337	345	341	349	339	347	343	351	338	346	342	350	340	348	344	352
49	57	53	61	51	59	55	63	50	58	54	62	52	60	56	64
113	121	117	125	115	123	119	127	114	122	118	126	116	124	120	128
177	185	181	189	179	187	183	191	178	186	182	190	180	188	184	192
241	249	245	253	243	251	247	255	242	250	246	254	244	252	248	256
305	313	309	317	307	315	311	319	306	314	310	318	308	316	312	320
369	377	373	381	371	379	375	383	370	378	374	382	372	380	376	384

2T

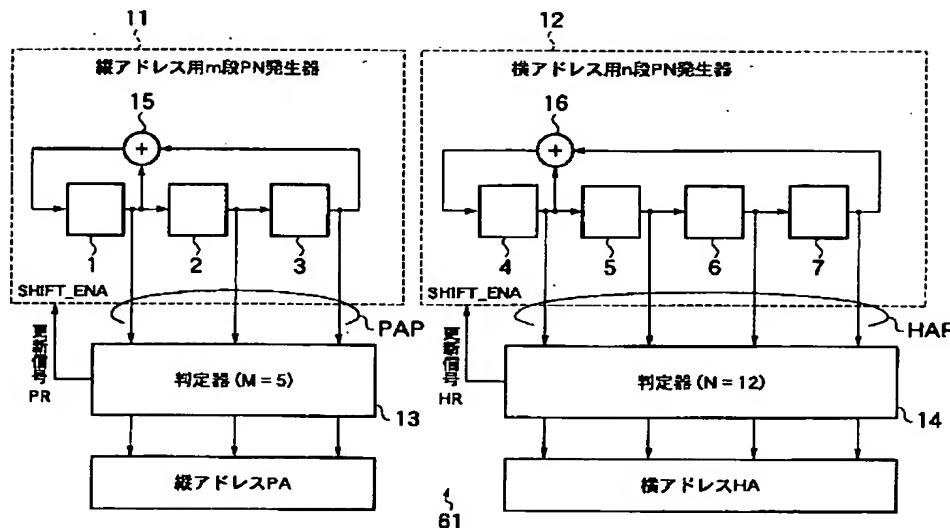
[図 3]



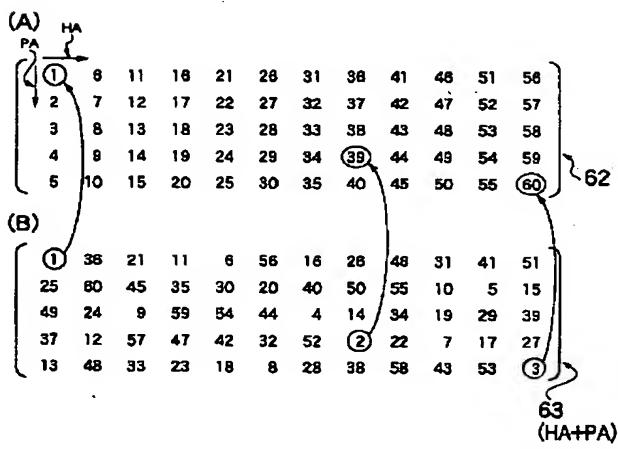
【図4】



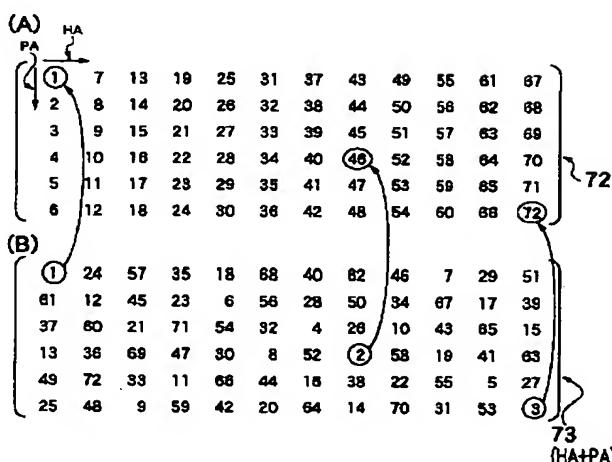
【図6】



【図8】



【図9】



【図5】

(A)

	PA	HA	8	15	22	29	36	43	50	57	64	71	78	85	92	99
1			2	9	16	23	30	37	44	51	58	65	72	79	86	93 100
3			10	17	24	31	38	45	52	59	66	73	80	87	94	101
4			11	18	25	32	39	46	53	60	67	74	81	88	95	102
5			2	19	26	33	40	47	54	61	68	75	82	89	96	103
6			13	20	27	34	41	48	55	62	69	76	83	90	97	104
7			14	21	28	35	42	49	56	63	70	77	84	91	98	105

54

(B)

1	15	57	29	8	71	36	92	43	99	22	78	85	64	50
91	105	42	14	98	56	21	77	28	84	7	63	70	49	35
61	75	12	89	68	28	98	47	103	54	82	33	40	19	5
18	30	72	44	23	88	51	2	58	9	37	93	00	79	65
76	90	27	104	83	41	6	82	13	89	97	48	55	34	20
31	45	87	59	38	101	66	17	73	24	52	3	10	94	80
48	60	102	74	53	11	81	32	88	39	67	18	25	4	95

57

(HA+PA)

【図7】

